

1. Japanese Patent Application Kokai No. H5-75313 (especially Figure 2)
2. Japanese Patent Application Kokai No. H9-321501

(1) Regarding Inventions of Claims 1 through 6

Above-mentioned Cited Example 1

The above-mentioned Cited Example 1 describes a hybrid integrated circuit device in which a coplanar line used to connect the semiconductor element 9 installed in the cavity of the second dielectric substrate 3 to the outside is provided in the first dielectric substrate 2, and through-holes are provided in the end faces in order to increase the shielding effect.

(2) Regarding Inventions of Claims 7 and 8

Above-mentioned Cited Examples 1 and 2

Preventing the propagation of an unnecessary propagation mode by setting the interval between the through-holes connecting ground conductors at $\lambda/2$ or less in a multi-layer high-frequency circuit substrate is universally known, as is also described, for example, in the above-mentioned Cited Example 2 and the like. Furthermore, the formation of a multi-layer dielectric substrate by integral and simultaneous firing of multi-layer ceramic is also universally known.

[Text omitted – Translator]

Record of Results of Survey of Prior Art References

- Field Surveyed: IPC 7th Edition H 01 P 3/02
H 05 K 7/00
- Prior Art References: DB Name
Japanese Patent Application Kokai No. H8-172303

This record of the results of a survey of prior art references does not constitute any reason for rejection.

特開平5-75313

(43)公開日 平成5年(1993)3月26日

(51) Int. Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H01P 5/08	L	8941-5J		
H01L 23/04	F	7220-4M		
H01P 3/08		4241-5J		

審査請求 未請求 請求項の数3(全4頁)

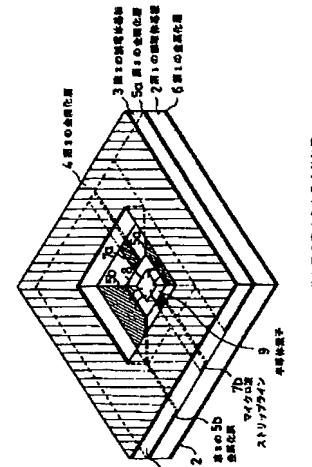
(21)出願番号	特願平3-231678	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成3年(1991)9月11日	(72)発明者	佐藤 秀曉 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(74)代理人	弁理士 鈴木 敏明

(54)【発明の名称】混成集積回路装置

(57)【要約】(修正有)

【目的】接続用金属細線の長さを短くしインダクタンスの影響を少なくして、高周波特性に優れかつ小型化に適した混成集積回路装置を提供すること。

【構成】表面にマイクロ波ストリップライン(7)と第3金属化層(5)とが形成され、裏面に第1金属化層(6)が形成された第1の誘電体基板(2)と、表面が第1の誘電体基板(2)の表面に密接し、裏面に第2金属化層(4)が形成された第2の誘電体基板(3)と、表面がマイクロ波ストリップライン(7)及び第3金属化層(5)の表面と略同一面となるよう、裏面を第1の誘電体基板(2)に形成された穴部に載置した半導体素子(9)と、半導体装置の電極とマイクロ波ストリップライン(7)及び第3金属化層(5)とを略同一面上で接続する金属細線(8)とを設けた。



AL

【特許請求の範囲】

【請求項1】 表面にマイクロ波ストリップラインと第3金属化層とが形成され、裏面に第1金属化層が形成された第1の誘電体基板と、

表面が前記第1の誘電体基板の表面に密着し、裏面に第2金属化層が形成された第2の誘電体基板と、

表面が前記マイクロ波ストリップライン及び前記第3金属化層の表面と略同一面となるよう、裏面を前記第1の誘電体基板に形成された開口部に載置した半導体素子と、

前記半導体素子の電極と前記マイクロ波ストリップラインおよび前記第3金属化層とを略同一面上で接続する金属細線とを具備してなる混成集積回路装置。

【請求項2】 前記第1乃至第3金属化層を前記第1及び第2の誘電体基板を貫通して設けたビアホール(Via Hole)を介して電気的に接続したことを特徴とする請求項1記載の混成集積回路装置。

【請求項3】 前記第2の誘電体基板に、前記半導体素子及びその接続部を露出させる開口部を設け、この開口部を覆い、前記第1金属化層と電気的に接続される金属製の蓋を設けたことを特徴とする請求項1記載の混成集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は混成集積回路装置に係り、特に高周波特性が良好でかつ高密度実装に適した混成集積回路装置に関する。

【0002】

【従来の技術】 従来のこの種の装置は、例えば特開平2-135802号公報に開示されているものが知られている。図3は上述の公報に開示された混成集積回路装置を示す斜視図である。

【0003】 第1の誘電体基板10の表面にはマイクロ波ストリップライン50a, 50b, 50cが形成され、裏面には第1の裏面金属化層30が形成されている。第1の誘電体基板10には第2の誘電体基板20が表面同志が密着するように積層されており、その裏面には第2の裏面金属化層40が形成されている。

【0004】 第2の誘電体基板20の所定部分には部品を搭載して接続するための穴部が形成され、この穴部を介してストリップライン50a, 50b間又はストリップライン50bと第2の裏面金属化層40とを図示しない半田で接合するチップコンデンサー60a, 60bが搭載される。

【0005】 また、別の穴部にはストリップライン50c上に半田で接合された半導体素子70が搭載される。そしてこの半導体素子70上の図示しない電極と第2の裏面金属化層40とは金属細線80により接続されている。

【0006】 更に誘電体基板10, 20の側面には第1

の裏面金属化層30と第2の裏面金属化層40とを電気的に接続する側面金属化層90a, 90bが形成されている。

【0007】 このように従来の混成集積回路装置ではマイクロ波ストリップライン50a, 50b, 50cをグランド層を形成する第1及び第2の裏面金属化層30, 40で両側から挟み込む構造を採用している。これによりシールド効果を高め、外部からの電磁波の影響やストリップライン間の相互干渉を軽減するようにしている。

【0008】 又第2の誘電体基板20の所望部分に穴部を形成し、チップコンデンサー60a, 60b、半導体素子70を搭載し、チップコンデンサー60bの一部電極をグランド層となる第2の金属化層40と接続し、半導体素子70のグランド用電極を金属細線80を介してグランド層となる第2の裏面金属化層40へ接続するようにして、ビアホール(Via Hole)によるインダクタンスの悪影響を防止している。

【0009】

【発明が解決しようとする課題】 しかし上述した従来の混成集積回路装置では、半導体素子の表面とグランド層となる第2の裏面金属化層との間及び半導体素子表面とマイクロ波ストリップラインの接続表面との間に段差が存在した。

【0010】 従ってこれらの間を金属細線により接続した場合金属細線が長くなり、これに伴いインダクタンスが増加してその影響が大きくなるという問題点があつた。

【0011】 本発明は上述した問題点を解消するためになされたもので、接続用金属細線の長さを短くしインダクタンスの影響を少なくして高周波特性が優れかつ小型化に適した混成集積回路装置を提供することを目的とする。

【0012】

【課題を解決するための手段】 本発明の混成集積回路装置は、表面にマイクロ波ストリップラインと第3金属化層とが形成され、裏面に第1金属化層が形成された第1の誘電体基板と、表面が前記第1の誘電体基板の表面に密接し、裏面に第2金属化層が形成された第2の誘電体基板と、表面が前記マイクロ波ストリップライン及び前記第3金属化層の表面と略同一面となるよう、裏面を前記第1の誘電体基板に形成された穴部に載置した半導体素子と、前記半導体装置の電極と前記マイクロ波ストリップライン及び前記第3金属化層とを略同一面上で接続する金属細線とを設けたものである。

【0013】

【作用】 本発明では第1の誘電体基板表面に、載置される半導体素子の厚みと略同一の深さを有する開口部を設けて、この開口部内に半導体素子を載置している。従つてこの半導体素子の電極面は第1の誘電体基板の表面と略同一面となる。

(3)

3

【0014】そこで、第1の誘電体基板上に形成されているストリップラインや第3の金属化層と半導体素子の電極とを金属細線により接続した場合、この金属細線自身も略同一面上で接続されることになる。これにより金属細線の長さを最小限にすることができるためインダクタンスが減りその影響を小さくすることができる。

【0015】

【実施例】以下本発明の実施例を図1及び図2に基づいて詳細に説明する。図1は本発明の1実施例に係る混成集積回路装置の斜視図を示したものである。

【0016】第1の誘電体基板2と、第2の誘電体基板3とがその表面同志を密着させて積層構造を形成している。第1の誘電体基板の裏面及び第2の誘電体基板3の裏面にはそれぞれ第1及び第2の金属化層6、4が形成されている。

【0017】これらの第1及び第2の金属化層6、4はグランド層として用いられ、図示しない接続手段により相互接続される。

【0018】第1の誘電体基板の表面にはマイクロ波ストリップライン7a、7bが形成されると共に、第3の金属化層5a及び5bがマイクロ波ストリップライン7a、7bの形成部分以外の部分に形成されている。この第3の金属化層5a、5bも第1及び第2の金属化層6、4と同様に第グランド層として用いられ、図示しない結合手段により第1及び第2の金属化層6、4と相互接続される。

【0019】第1の誘電体基板の所望部分には開口部が設けられ、この開口部の深さは搭載される半導体素子9の厚さと略同一となるように形成する。従って、半導体素子9がこの開口部に搭載された場合、その表面はマイクロ波ストリップライン7a、7b及び第3の金属化層5a、5bと略同一面となる。

【0020】半導体素子9の表面に設けられた図示しない電極とマイクロ波ストリップライン7a、7b及び第3の金属化層5a、5bとは金属細線8により所望箇所が接続される。この結果、接続用の金属細線8は最短距離で略同一面上になるように接続されるため、インダクタンスが最小となり高周波におけるインダクタンスの影響を低減することができる。

【0021】図2は本発明の他の実施例を示す斜視図で、グランド層として設けられた第3の金属化層5a、

4

5bを第1及び第2の誘電体基板2、3の所定部分に設けたピアホール10a、10b、10cにより第1及び第2の金属化層6、4と相互接続してグランド層を形成したものである。

【0022】このように金属化層同志をピアホールにより適宜接続することにより誘電体基板の面積が大きい場合に高周波に対するシールド効果が充分でなかった欠点を補うことができる。

【0023】さらに図2に示す実施例では第2の誘電体10基板3の開口部を覆うように金属製の蓋1を設けている。この金属製の蓋1により開口部を覆ってこれを第2の金属化層4と電気的に接続することにより、半導体素子9及びマイクロ波ストリップライン7a、7bを外部の高周波から完全にシールドすることができる。

【0024】

【発明の効果】以上実施例に基づいて詳細に説明したように、本発明では第1の誘電体基板に搭載される半導体素子の表面とこれに接続されるマイクロ波ストリップライン及びグランド層となる第3の金属化層とが略同一面上に位置するように構成される。従って相互接続のための金属細線によるインダクタンスの影響を低減することができる。

【0025】又マイクロ波ストリップラインを上下に吸収される金属化層によるグランド層で挟む構造となるため、マイクロ波ストリップライン間の相互干渉を抑制することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る混成集積回路装置の構成を示す斜視図。

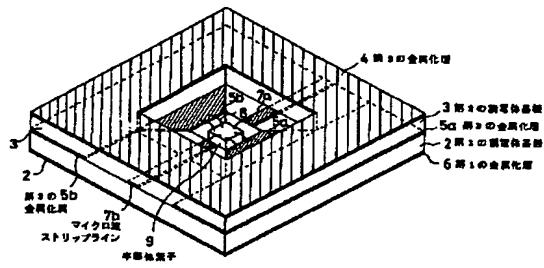
【図2】本発明の他の実施例を示す斜視図。

【図3】従来の混成集積回路装置の構成を示す斜視図。

【符号の説明】

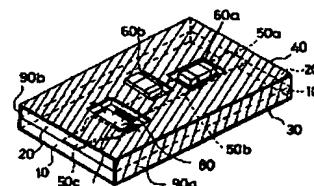
1	金属製の蓋
2	第1の誘電体基板
3	第2の誘電体基板
4	第2の金属化層
5a, 5b	第3の金属化層
6	第1の金属化層
7a, 7b	マイクロ波ストリップライン
8	金属細線
9	半導体素子
10a, 10b, 10c	ピアホール

【図1】



完成品検査用の実物例を示す斜視図

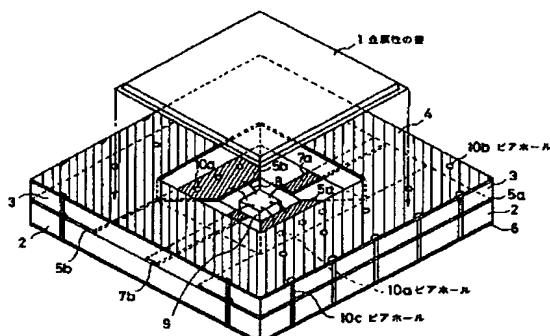
【図3】



10: 基本体基板
20: 基本体基板
30: 基本体基板
40: 基本体基板
50a, 50b, 50c: ストリップライン
60a, 60b: チップコシング
70: 半導体電子
80: 金具化用
90a, 90b: 金具化用

完成品検査用斜視図

【図2】



完成品検査用の他の実物例を示す斜視図